

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-289470

(43) 公開日 平成4年(1992)10月14日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

31/318

6912-2G

6912-2G

G 0 1 R 31/28

H

A

審査請求 未請求 請求項の数1(全 9 頁)

(21) 出願番号 特願平3-80803

(22) 出願日 平成3年(1991)3月18日

(71) 出願人 591075940

アクトロン株式会社

京都府長岡京市粟生田内28番地の113

(72) 発明者 川井 信

京都府長岡京市粟生田内28番地の113 ア

クトロン株式会社内

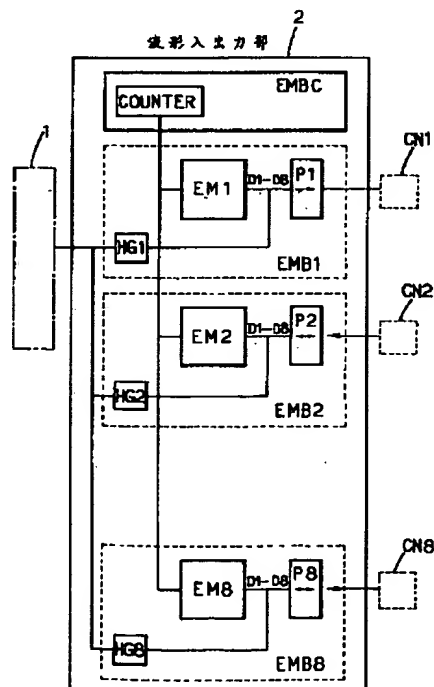
(74) 代理人 弁理士 中村 茂信

(54) 【発明の名称】 デジタル波形入出力装置

(57) 【要約】

【目的】 入出力が自由に選択でき、波形入出力が同一タイミングでなせ、多数チャンネルの入出力を簡単、小型に構成するデジタル波形入出力装置を提供する。

【構成】 ラッチ機能付の複数個の双方向ポート P1、…、P8 と、この双方向ポート P1、…、P8 に接続され波形データをリード・ライトするエミュレーションメモリ EM1、…、EM8 と、双方向ゲート HG1、…、HG8 を介してエミュレーションメモリ EM1、…、EM8 に接続されるホストメモリ HM1、…、HM8 を備え、エミュレーションメモリ EM1、…、EM8 とターゲット間で双方向ポート P1、…、P8 を介してデータをリード・ライトし、また、ホストメモリ HM1、…、HM8 とエミュレーションメモリ EM1、…、EM8 間で双方向ゲート HG1、…、HG8 を介してデータのリード・ライトを行う。



【特許請求の範囲】

【請求項1】少なくともターゲットに対する波形出力を行うか、またはターゲットからの波形入力を行うか選択可能な、ラッチ機能付の複数個の特定ビット幅双方向ポートと、前記双方向ポートに、それぞれ接続され、波形データをリード、ライトするための特定ビット幅を双方向ポートに対応する容量分有するエミュレーションメモリと、ホストCPUに、前記エミュレーションメモリの対応する容量分設けられ、前記エミュレーションメモリと、ゲート手段を介して接続され、波形データや表示や編集を行うためのホストメモリと、ホストメモリとエミュレーションメモリのメモリ内容を特定のメモリ単位毎にリードライトする手段と、前記エミュレーションメモリと双方向ポートのメモリ単位毎に、ターゲットに対し、エミュレーションメモリのリードデータを双方向ポートを介して出力し、または双方向ポートを経てエミュレーションメモリに書き込むかの、いずれかを行わせるための設定手段とを有し、前記設定手段でエミュレーションメモリと、双方向ポート単位毎に規定した、波形入出力動作を共通のメモリアドレス手段及び共通のタイミング手段にて、同時に行うことが出来、前記波形入出力動作を行わせながら独立して、ホストCPU側で、複数の入出力波形を任意に表示及び編集が行えることを特徴とするデジタル波形入出力装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、ゲートアレー等の多くの入出力ピンを有するデジタル論理デバイスデジタル装置の評価や解析を行うための、デジタル波形の入出力装置に関する。

【0002】

【従来の技術】図9は100MHz程度のサンプリング周波数で動作するロジックアナライザの従来の構成例を示すものであって、波形を入力する部分のみを示すものである。入力波形CH1～CH8はそれぞれ、高速動作が可能なECLロジックレベルで、回路CV1でTTL→ECLレベル変換し、シフトレジスタSR1によりシリアルパラレル変換がなされた後、ラッチ回路LTで、8ビットずつラッチされ、回路CV2でECL→TTLレベル変換し、マルチプレクサ回路MPXを介して、時系列データごとにメモリMEMT1、…、MEMT8にライトされる。

【0003】

【発明が解決しようとする課題】上記の様な従来装置では、波形入力部だけでも、かなり複雑なハードウェア構成となり、逆にメモリ内容をCH1～CH8に波形出力するためには、さらに大規模なハードウェアが必要となる。また、最近では、図9におけるマルチプレクサMPXやメモリMEMTまでも、ECLゲートアレー化した商品も見られるが、数万ゲート規模のECLゲートアレー

には、多大な開発コストと、かなり割高な量産コストが必要となり、結果として商品が高価なものとなっている。一方、波形出力装置も公知であるが、ロジックアナライザと連動させるためには、高速な、ECLレベルの外部クロックを分配してやる必要があるが、入力と出力では、タイミングが異なることになる。

【0004】この発明は、上記問題点に着目してなされたものであって、入出力が自由に選択でき、波形入力と波形出力が同一タイミングでなせ、多数チャンネルの入出力を簡単にコンパクトな構成で実現でき、また、ホストCPU側で所定チャンネル単位で入出力波形を選択表示でき、かつ同一ポートの入力データを編集、加工して出力データとし得るデータ作成機能を有するデジタル波形入出力装置を提供することを目的としている。

【0005】

【課題を解決するための手段及び作用】この発明のデジタル波形入出力装置は、図1、図2に示すように、少なくともターゲットTGに対する波形出力を行うか、またはターゲットからの波形入力を行うか選択可能な、ラッチ機能付の複数個の特定ビット幅双方向ポートP1、P2、…、P8と、前記双方向ポートP1、P2、…、P8に、それぞれ接続され、波形データをリード、ライトするための特定ビット幅を双方向ポートP1、P2、…、P8に対応する容量分を有するエミュレーションメモリEM1、EM2、…、EM8と、ホストCPU1に、前記エミュレーションメモリEM1、EM2、…、EM8の対応する容量分設けられ、前記エミュレーションメモリEM1、EM2、…、EM8と、ゲート手段HG1、HG2、…、HG8を介して接続され、波形データの表示や編集を行うためのホストメモリHM1、HM2、…、HM8と、ホストメモリHM1、HM2、…、HM8とエミュレーションメモリEM1、EM2、…、EM8のメモリ内容をメモリ単位毎にリードライトする手段と、前記エミュレーションメモリEM1、EM2、…、EM8と双方向ポートP1、P2、…、P8のメモリ単位毎に、ターゲットTGの入出力部CN1、…、CN8に対し、エミュレーションメモリEM1、EM2、…、EM8のリードデータを双方向ポートP1、P2、…、P8を介して出力し、または双方向ポートP1、P2、…、P8を経てエミュレーションメモリEM1、EM2、…、EM8に書き込むかの、いずれかを行わせるための設定手段とを有し、前記設定手段でエミュレーションメモリと、双方向ポート単位毎に規定した、波形入出力動作を共通のメモリアドレス手段及び共通のタイミング手段にて、同時に行うことが出来、前記波形入出力動作を行わせながら独立して、ホストCPU側で、複数の入出力波形を任意に表示及び編集が行えるようにしている。

【0006】この波形入出力装置では、例えばホストCPU1のホストメモリHM1よりのデータをエミュレー

3

ションメモリEM1にライトし、さらに双方向ポートP1を介してターゲットTGの入出力部CN1に出力する一方、ターゲットTGの入出力部CN2より双方向ポートP2、エミュレーションメモリEM2を経て、ホストメモリHM2に取り込む場合の動作を、図3に示すフロー図により説明する。

【0007】 先ず、ステップST1でホストメモリHM1に、出力データOD1を作成し、次にエミュレーションメモリEM1をホストライトにセットする(ステップST2)。続いて出力データOD1をエミュレーションメモリEM1にライトし(ステップST3)、エミュレーションメモリEM1をリードにセットし、双方向ポートP1を出力にセットする(ステップST4)。

【0008】 次にエミュレーションメモリEM2をライトにセットし、双方向ポートP2を入力にセットする(ステップST5)。そして、エミュレーションメモリEM1より、出力データOD1をリードし、双方向ポートP1を介してゲートアレイASICに出力し、また、ゲートアレイASICより入力データID2を双方向ポートP2を介してエミュレーションメモリEM2にライトする(ステップST6)。続いて、エミュレーションメモリEM2をホストリードにセットし(ステップST7)、さらに入力データID2をホストメモリHM2にライトする(ステップST8)。

【0009】

【実施例】 以下、実施例により、この発明をさらに詳細に説明する。図1は、この発明が実施されるデジタル波形入出力装置の構成を示すブロック図である。このデジタル波形入出力装置は、ホストCPU1と、波形入出力部2とから構成されている。

【0010】 波形入出力部2は、図2に示すように、8個のエミュレーションブロックEMB1、…、EMB8と、カウンタを含むエミュレーションブロックコントローラEMBCを含み、エミュレーションブロックEMB1は、8ビット単位のエミュレーションメモリEM1と、入出力(双方向)ポートP1と、ホストCPU1との接続用ゲートHG1とを備えている。他のエミュレーションブロックEMB2、…、EMB8も、EMB1と同様に構成されており、エミュレーションブロックEMB1、…、EMB8が8チャンネル分ずつ、それぞれターゲットTGの入出力部CN1、…、CN8に対処している。

【0011】 ホストCPU1には、波形入出力部2のエミュレーションメモリEM1、…、EM8に対応したホストメモリHM1、…、HM8を備えている。波形入出力部2では、各エミュレーションメモリEM1、…、EM8毎にリード、ライトが設定可能であり、また入出力ポートP1、…、P8も個別に入力、出力が設定可能に構成されている。これらの設定は、エミュレーションブロックコントローラEMBCによって行われる。したが

4

って、あるホストメモリHMで出力データを作成し、この出力データをホストゲートHGを介してエミュレーションメモリEMにライトし、これを入出力ポートPを介してターゲットTGの入出力部CNに出力する一方、他の入出力部CNから入出力ポートPを介してターゲットよりの入力データをエミュレーションメモリEMにライトし、これをホストゲートHGを介してホストCPUのホストメモリHMにライトし、ホストCPU1で表示装置にターゲットへの出力データ波形と、ターゲットからの入力データ波形を表示することができる(図4参照)。

【0012】 図5、図6及び図7に波形入力部2の具体的な回路図を示しており、図5はエミュレーションブロックコントローラEMBCを示す回路ブロック図、図6は、エミュレーションブロックEMB1、…、EMB8を示す回路ブロック図、図7はホストCPU1と結合するためのインタフェース回路のブロック図である。図5、…、図7において使用する主たる記号は、下記の左欄に対し右欄に示す意味を有する。

【0013】 GTC	ホストタイミング発生器
LAT	制御用ラッチ回路
AND1~AND6	アンド回路
OR1・OR2	オア回路
MM1・MM2	一定幅パルス出力回路(単安定マルチパイプレータ)
DF1	Dタイプフリップフロップ
IV1	インバータ
COUNTER	共通メモリアドレス発生用カウンタ
PDATA	カウンタの初期設定値
OSC	クロック発生回路
CNV1	ECL→TTLレベル変換(非反転)
CNV2	TTL→ECLレベル変換(反転及び非反転)
EM1	8ビット幅×8KB(8キロバイト)長メモリ
OG1・LG1	ラッチ機能付トライステートゲート
HG1	入出力トライステートゲート

次に、図5、…、図7に示した波形入出力部の具体的な設定、動作を説明する。なお、以下の説明では、エミュレーションメモリEM1を例に取り説明するが、他のエミュレーションメモリEM2、…、EM8の場合も同様に考えればよい。

【0014】 a. エミュレーションメモリEM1の内容をターゲットのCN1に出力する場合

G11信号をOFF、G12信号をON、G13信号をOFF、R/W1信号をOFF、TON信号をONに設定する。ここで、G11信号は入出力ゲートHG1を、G12信号はラッチゲートOG1を、信号G13はラッチゲートLG1を選択する信号である。また、R/W1信号のOFFはエミュレーションメモリEM1からのリ

5

ードを、TON信号のONはAND回路3の選択を示す信号である。

【0015】以上の設定下で、制御用ラッチ回路LATよりSTART信号がONで加えられると、D型フリップフロップDF1、インバータIV1を介して、MR信号がOFFとなり、COUNTERが動作可能となる。また、AND4でG12信号のONと反転MR信号のONで信号TG12がONとなる。一方、AND1は、START信号がONのままであれば、COUNTERでPDATAの設定値でのカウント動作を繰り返し行うものでCOUNTERの桁上り信号RCで再度PDATA値をCOUNTERにセットする。AND3はTON信号とSTART信号及びCLK(クロック)信号を入力にしており、その論理積によりCLK信号と同波形のCS1信号が出力され、これが単安定マルチパイププレートMM2で一定幅に整形され、オア回路OR2を介して図8に示す信号CSが発生され、エミュレーションメモリEM1に加えられ、このタイミングでエミュレーションメモリEM1からデータが読み出される。そしてTG12信号がONなので、SCLK信号でリードデータがラッチ回路OG1にラッチされ、ターゲットにCH1~CH8のデータが波形出力される。

【0016】b. ターゲットのCN1からの入力をエミュレーションメモリEM1にライトする場合

G11信号をOFF、G12信号をOFF、G13信号をON、TON信号をONに設定する。そして、予めCN1からの入力データCH1、…、CH8をSCKL信号でラッチ回路LG1にラッチし、エミュレーションメモリEM1へのライト動作時にデータが変化しないように、図8に示すLG1出力データを確定しておく。以下はリード時と同様にオア回路OR2からのCS信号でエミュレーションメモリEM1のライトタイミングとなり、ラッチ回路LG1からエミュレーションメモリEM1にメモリ容量分だけ連続してライトしてゆく。

【0017】c. ホストからエミュレーションメモリEM1にライトする場合

G11信号をON、G12信号をOFF、G13信号をOFF、R/W信号をON(ライト)、TON信号をOFFに設定する。この場合、START信号はD型フリップフロップDF1、インバータIV1を介してMR(リセット)信号としてCOUNTERに入力され、これによりCOUNTER(アドレスカウンタ)は動作可能となる。また、START信号のON立上がりでワンショットマルチパイププレートMM1、オア回路OR1を介してPLD信号(図8参照)が発生し、このPLD信号でCOUNTERにPDATAがセットされる。一方、ホストCPU1のデータバスHBUSは、入出力ゲートHG1を介してエミュレーションメモリEM1のデータ端子D0、…、D7に接続される。

【0018】ホストタイミング発生器GTCからのHR

6

WT信号は、リード、ライト共通のデータ転送タイミングであり、アンド回路AND2、オア回路OR2を介してエミュレーションメモリEM1のアクセスタイミング信号CSを発生し、このCS信号により、ホストメモリHM1の最初のデータがエミュレーションメモリEM1にライトされる。次に、CS信号の立上がりでアドレスカウンタ値(ABUS)は+1される(図8参照)。以後、同様にしてホストCPU1は、ライト動作を繰り返すことにより8ビット単位でエミュレーションメモリEM1の8KB分をライトすることができる。これでホストメモリHM1の内容をエミュレーションメモリEM1に1回転送したことになる。1回転送の場合には、COUNTERにPDATAをセットした後、START信号をOFFにしておけば、COUNTERの桁上り信号RCが発生した時点でMR信号がONとなり、COUNTERはリセットされる。

【0019】d. ホストCPUからエミュレーションメモリEM1をリードする場合

G11信号をON、G12信号をOFF、G13信号をOFF、R/W1信号をOFF、TON信号をOFFに設定する。G11信号ONでエミュレーションメモリEM1のデータ端子D0、…、D7は入出力ゲートHG1を介してホストCPU1に接続されており、ホストタイミング発生器GTCからHRWT信号が発生される毎にCOUNTERはアドレス値を+1しながら、つまり、ABUSを変化させて、エミュレーションメモリEM1のアドレスを順次指定し、その内容を、入出力ゲートHG1を介してホストメモリHM1にデータ転送する。

【0020】

【発明の効果】この発明によれば、出力波形に対するターゲットの応答入力をリアルタイムに同一タイミングで記憶し、CPU側にて、両者をタイムチャート表示し、解析や評価を効率的に進めることができる。また、入出力波形データは、ホストCPU上とエミュレーションメモリブロックの両方にあり、それぞれメモリ単位毎に独立して動作させることができるので、任意のエミュレーションブロックに入出力動作を繰り返し行わせながら、他のブロックの出力データ値を変更して、ターゲットからの応答を解析する等の解析、評価が可能となる。

【図面の簡単な説明】

【図1】この発明が実施されるデジタル波形入出力装置の全体構成を示すブロック図である。

【図2】同実施例装置の波形入出力部のブロック図である。

【図3】同実施例装置の動作を説明するためのフロー図である。

【図4】同実施例装置の表示例を示す図である。

【図5】同実施例装置のエミュレーションブロックコントローラの詳細構成を示すブロック図である。

【図6】同実施例装置のエミュレーションブロックの具

7

体構成を示すブロック図である。

【図7】同実施例装置の波形入出力部のホストCPUとのインタフェース回路の具体構成を示すブロック図である。

【図8】上記波形入出力部の具体回路の動作を説明するためのタイムチャートである。

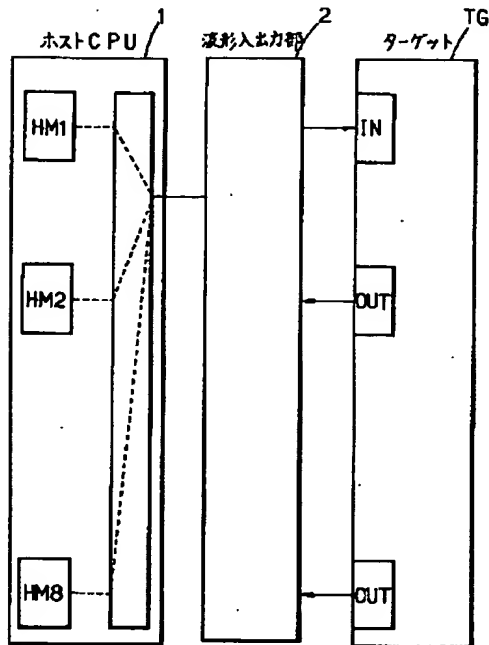
【図9】従来の波形入力装置を示すブロック図である。

8

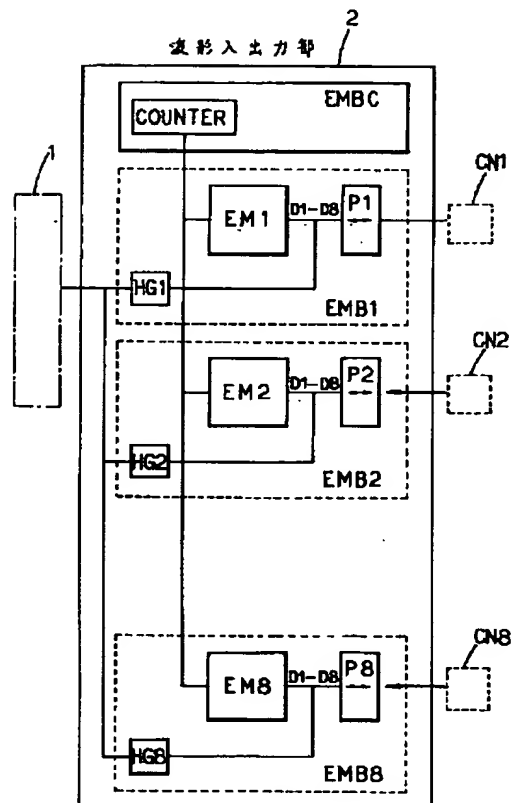
【符号の説明】

P1・・・P8 双方向ポート
EM1・・・EM8 エミュレーションメモリ
HM1・・・HM8 ホストメモリ
EMBC エミュレーションブロックコントローラ

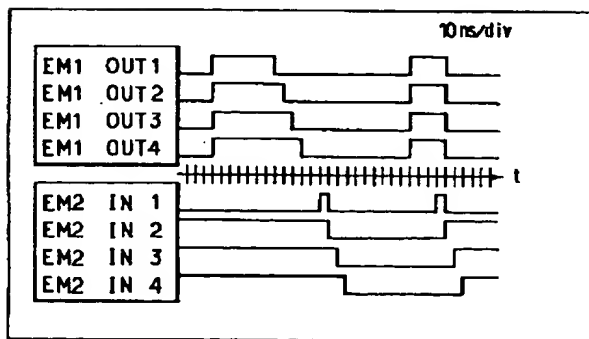
【図1】



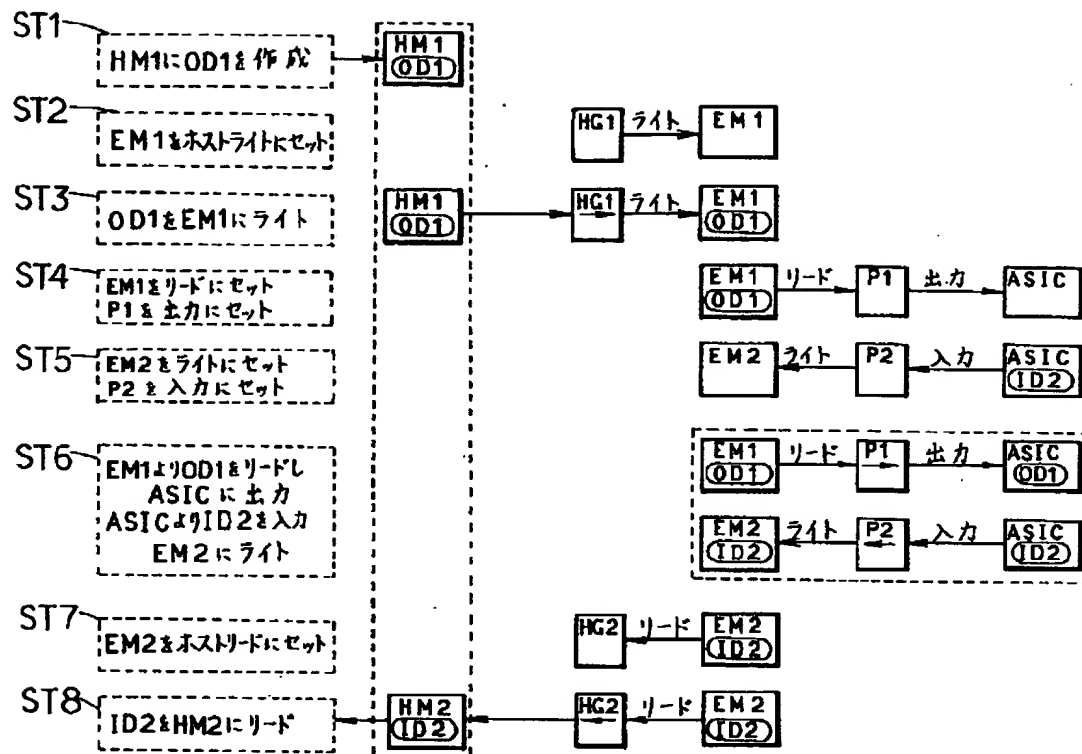
【図2】



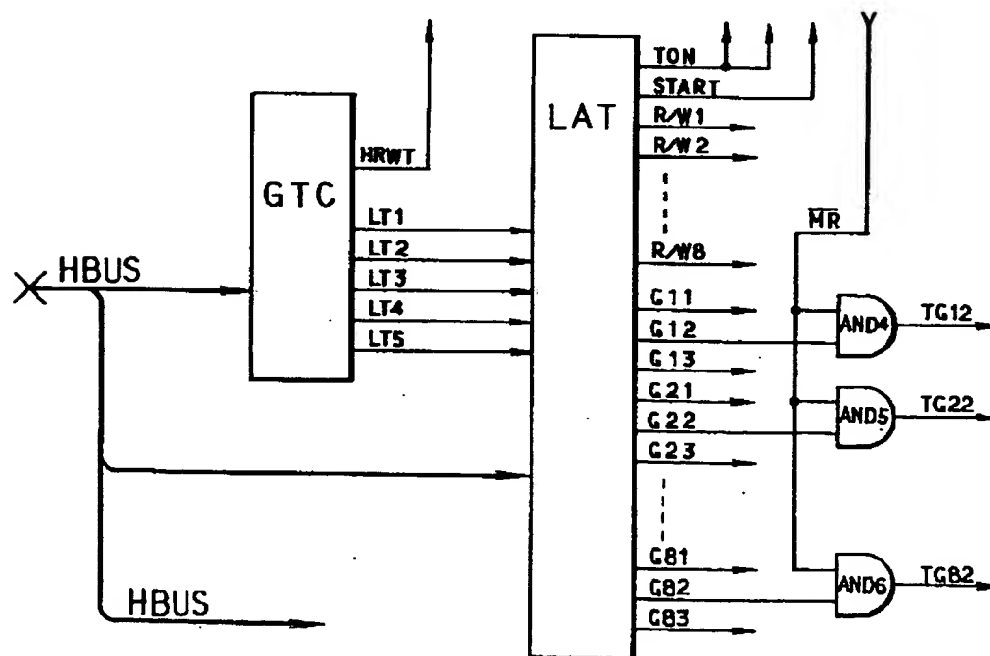
【図4】



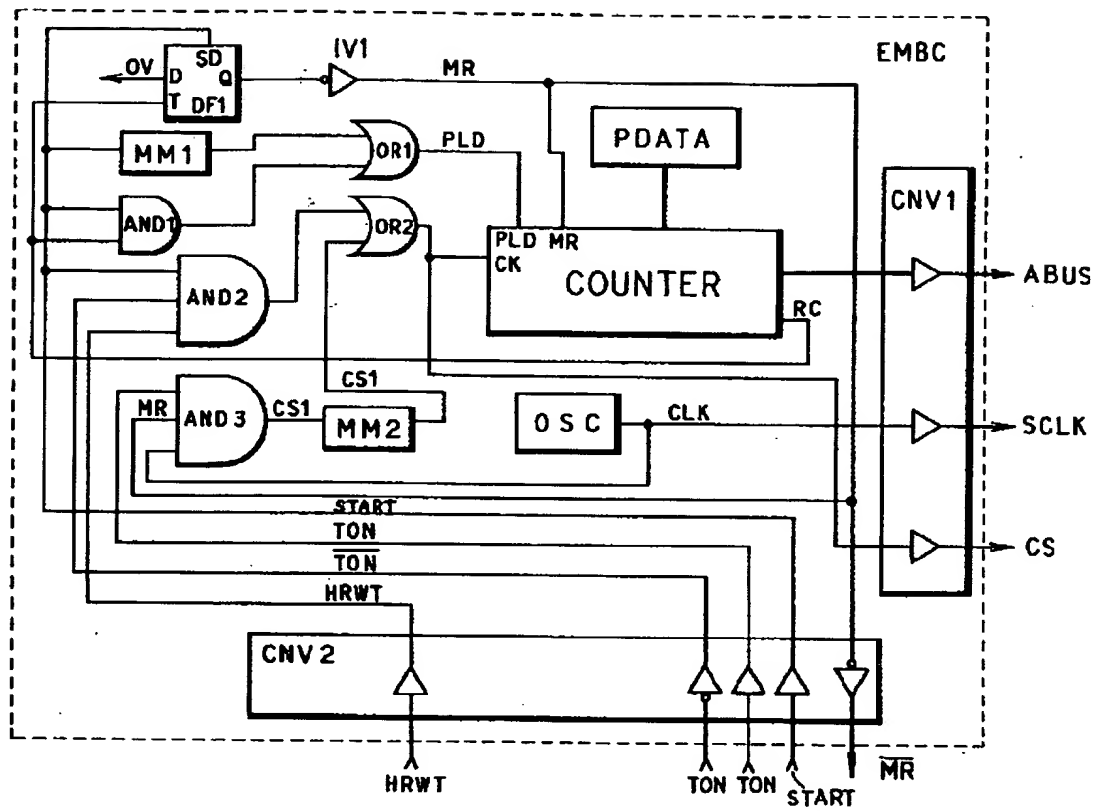
【図3】



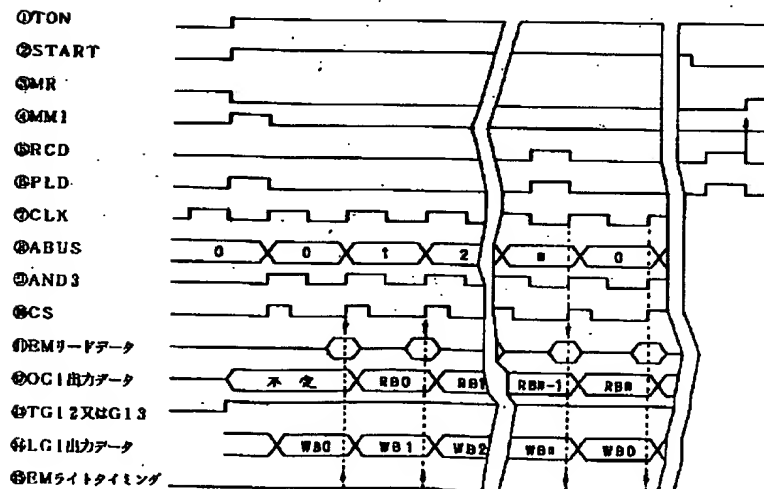
【図7】



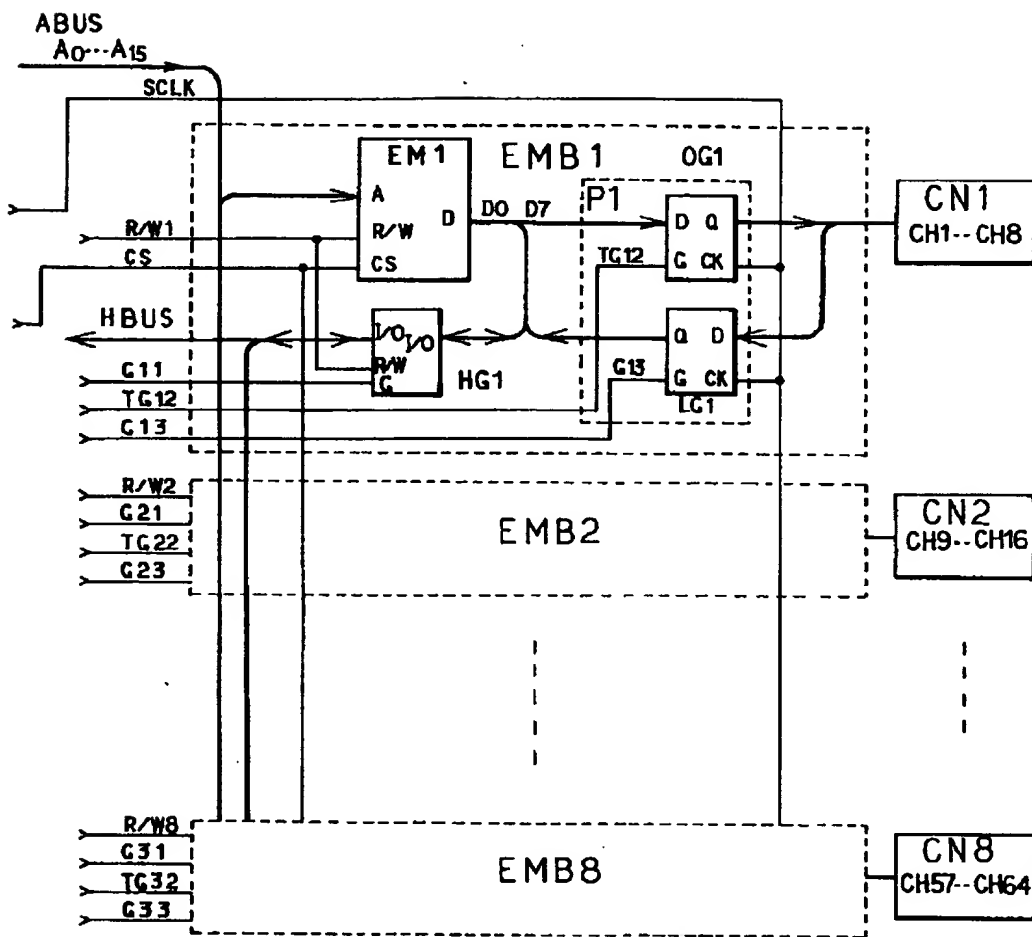
【図5】



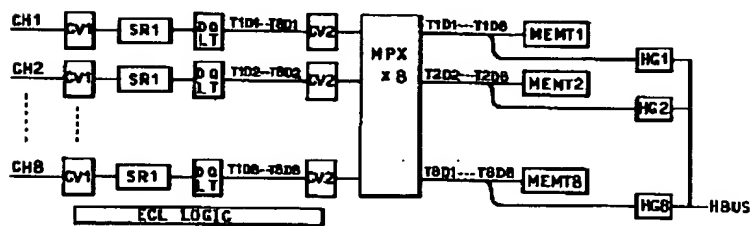
【図8】



【図6】



【図9】



【手続補正書】

【提出日】平成3年8月23日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 少なくともターゲットに対する波形出力を行うか、またはターゲットからの波形入力を行うか選択可能な、複数の特定ビット幅双方向ポートと、前記双

方向ポートに、それぞれ接続され、波形データをリード、ライトするための特定ビット幅を双方向ポートに対応する容量分有するエミュレーションメモリと、ホストCPUに、前記エミュレーションメモリの対応する容量分設けられ、前記エミュレーションメモリと、ゲート手段を介して接続され、波形データや表示や編集を行うためのホストメモリと、ホストメモリとエミュレーションメモリのメモリ内容を特定のメモリ単位毎にリードライトする手段と、前記エミュレーションメモリと双方向ポートのメモリ単位毎に、ターゲットに対し、エミュレーションメモリのリードデータを双方向ポートを介して出力し、または双方向ポートを経てエミュレーションメモリに書き込むかの、いずれかを行わせるための設定手段とを有し、前記設定手段でエミュレーションメモリと、双方向ポート単位毎に規定した、波形入出力動作を共通のメモリアドレス手段及び共通のタイミング手段にて、同時に行うことが出来、前記波形入出力動作を行わせながら独立して、ホストCPU側で、複数の入出力波形を任意に表示及び編集が行えることを特徴とするデジタル波形入出力装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】

【課題を解決するための手段及び作用】この発明のデジタル波形入出力装置は、図1、図2に示すように、少なくともターゲットTGに対する波形出力を行うか、ま

たはターゲットからの波形入力を行うか選択可能な、複数の特定ビット幅双方向ポートP1、P2、…、P8と、前記双方向ポートP1、P2、…、P8に、それぞれ接続され、波形データをリード、ライトするための特定ビット幅を双方向ポートP1、P2、…、P8に対応する容量分を有するエミュレーションメモリEM1、EM2、…、EM8と、ホストCPU1に、前記エミュレーションメモリEM1、EM2、…、EM8の対応する容量分設けられ、前記エミュレーションメモリEM1、EM2、…、EM8と、ゲート手段HG1、HG2、…、HG8を介して接続され、波形データの表示や編集を行うためのホストメモリHM1、HM2、…、HM8と、ホストメモリHM1、HM2、…、HM8とエミュレーションメモリEM1、EM2、…、EM8のメモリ内容をメモリ単位毎にリードライトする手段と、前記エミュレーションメモリEM1、EM2、…、EM8と双方向ポートP1、P2、…、P8のメモリ単位毎に、ターゲットTGの入出力部CN1、…、CN8に対し、エミュレーションメモリEM1、EM2、…、EM8のリードデータを双方向ポートP1、P2、…、P8を介して出力し、または双方向ポートP1、P2、…、P8を経てエミュレーションメモリEM1、EM2、…、EM8に書き込むかの、いずれかを行わせるための設定手段とを有し、前記設定手段でエミュレーションメモリと、双方向ポート単位毎に規定した、波形入出力動作を共通のメモリアドレス手段及び共通のタイミング手段にて、同時に行うことが出来、前記波形入出力動作を行わせながら独立して、ホストCPU側で、複数の入出力波形を任意に表示及び編集が行えるようにしている。